

Docket No. 205522US2/btm



2673
#6
BT
429-02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Makoto NAGAI, et al.

GAU: 2673

SERIAL NO: 09/822,344

EXAMINER:

FILED: April 2, 2001

FOR: DRIVING METHOD FOR A CHOLESTERIC LIQUID CRYSTAL DISPLAY DEVICE HAVING A MEMORY MODE OF OPERATION AND A DRIVING APPARATUS

REQUEST FOR PRIORITY

RECEIVED

FEB 27 2002

Technology Center 2600

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-101579 ✓	April 3, 2000
JAPAN	2000-101580 ✓	April 3, 2000
JAPAN	2000-118942 ✓	April 20, 2000
JAPAN	2000-121391 ✓	April 21, 2000
JAPAN	2000-121392 ✓	April 21, 2000
JAPAN	2000-126639 ✓	April 26, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

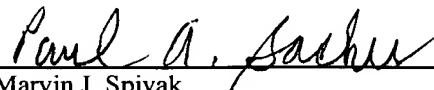
Docket No. [205522US2]

REQUEST FOR PRIORITY UNDER 35 U.S.C.119
(CONTINUED)

Serial No. [09/822,344]

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

A handwritten signature in cursive script, reading "Paul A. Sacher", is written over a horizontal line.

Marvin J. Spivak

Registration No. 24,913

Paul A. Sacher
Registration No. 43,418

09/822,344
CA-012



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 4月21日

出 願 番 号

Application Number:

特願2000-121392

出 願 人

Applicant (s):

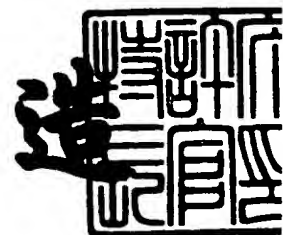
オプトレックス株式会社
旭硝子株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 4月13日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 20000295

【提出日】 平成12年 4月21日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/137

【発明者】

 【住所又は居所】 神奈川県横浜市神奈川区羽沢町 1 1 5 0 番地 旭硝子株式会社内

 【氏名】 永井 真

【発明者】

 【住所又は居所】 神奈川県横浜市神奈川区羽沢町 1 1 5 0 番地 旭硝子株式会社内

 【氏名】 高野 智弘

【発明者】

 【住所又は居所】 神奈川県横浜市神奈川区羽沢町 1 1 5 0 番地 旭硝子株式会社内

 【氏名】 田原 慎哉

【発明者】

 【住所又は居所】 神奈川県横浜市神奈川区羽沢町 1 1 5 0 番地 旭硝子株式会社内

 【氏名】 舩田 紀子

【発明者】

 【住所又は居所】 神奈川県横浜市神奈川区羽沢町 1 1 5 0 番地 旭硝子株式会社内

 【氏名】 新山 聡

【特許出願人】

 【識別番号】 000103747

 【氏名又は名称】 オプトレックス株式会社

【特許出願人】

【識別番号】 000000044

【氏名又は名称】 旭硝子株式会社

【先の出願に基づく優先権主張】

【出願番号】 特願2000-101579

【出願日】 平成12年 4月 3日

【代理人】

【識別番号】 100103090

【弁理士】

【氏名又は名称】 岩壁 冬樹

【電話番号】 03-3811-3561

【手数料の表示】

【予納台帳番号】 050496

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

・【物件名】 要約書 1

【包括委任状番号】 9907647

【包括委任状番号】 9608107

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ性コレステリック液晶表示装置の駆動方法および駆動装置

【特許請求の範囲】

【請求項 1】 メモリ性コレステリック液晶を用いた液晶表示装置を駆動する駆動方法において、駆動方法は、表示データに対応した電圧条件にもとづいて各画素に電圧を印加する前に、前記コレステリック液晶の配向が電圧印加方向に垂直になるように電圧を印加する第 1 の段階と、前記コレステリック液晶をホモジニアスまたはプレナーに移行させるための電圧を印加する第 2 の段階とを含むことを特徴とするメモリ性コレステリック液晶表示装置の駆動方法。

【請求項 2】 第 2 の段階で印加される電圧値は 0 である請求項 1 記載のメモリ性コレステリック液晶表示装置の駆動方法。

【請求項 3】 第 2 の段階の期間は、0.3ms 以上 100ms 以下である請求項 2 記載のメモリ性コレステリック液晶表示装置の駆動方法。

【請求項 4】 メモリ性コレステリック液晶を用いた液晶表示装置を駆動する駆動装置において、第 1 の段階の期間を設定する第 1 の期間設定手段と、第 1 の段階に続く第 2 の期間を設定する第 2 の期間設定手段と、前記第 1 の期間設定手段が作成した第 1 の期間で配向が電圧印加方向に垂直になるように前記コレステリック液晶に電圧を印加し、前記第 2 の期間設定手段が作成した第 2 の期間で前記コレステリック液晶をホモジニアスまたはプレナーに移行させるための電圧を印加する電圧印加手段とを備えたことを特徴とするメモリ性コレステリック液晶表示装置の駆動装置。

【請求項 5】 液晶表示装置は単純マトリクス型の液晶表示装置であり、電圧印加手段は、行電極を駆動する行ドライバと、列電極を駆動する列ドライバと、第 1 の期間では、非表示状態の電圧を全ての行電極に印加することを前記行ドライバに指示するとともに、オン表示時の電圧を全ての列電極に印加することを前記列ドライバに指示する制御部とを含む請求項 4 記載のメモリ性コレステリック液晶表示装置の駆動装置。

【請求項 6】 制御部は、第 1 の期間では、行ドライバに対して非表示指示信

号を与え、オン表示のデータを生成して列ドライバに対して与える請求項 5 記載のメモリ性コレステリック液晶表示装置の駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリ型コレステリック液晶素子を用いた単純マトリクスของコレステリック液晶表示装置を駆動するための駆動方法および駆動装置に関する。

【0002】

【従来の技術】

液晶素子を用いた液晶ディスプレイ（液晶表示装置）は、軽量で薄型であること、また消費電力が小さいことから、携帯情報表示機器として用いられている。そして、液晶ディスプレイに用いられる液晶素子として、比較的低価格で比較的高いコントラストを得ることができる S T N 素子が広く用いられている。

【0003】

液晶素子は、発光素子ではなく光シャッターとして用いられるので外光が必要である。そこで、例えば、光源としてのバックライト（サイドライトを含む）が設けられた透過型 S T N 液晶ディスプレイ（以下、透過型液晶ディスプレイという。）が用いられている。しかし、バックライトが設けられた透過型液晶ディスプレイは表示電力が大きく、携帯情報表示機器としての使用には不利である。

【0004】

そのために、携帯情報表示機器として反射型 S T N 液晶ディスプレイ（以下、反射型液晶ディスプレイという。）が用いられることが多い。反射型液晶ディスプレイでは、バックライトを用いずに、または、透過型液晶ディスプレイに比べて消費電力の低いバックライトを用いて実用に供することができる。

【0005】

しかし、反射型液晶ディスプレイでも、少なくとも 1 枚の偏光板が必要であることから、外光に対して反射率が制限されてしまいバックライトを用いないと十分な明るさの表示品位を得ることができない場合がある。また、表示の高精細化にともなって、駆動電圧が増加することによる消費電力の増大や、駆動ライン数

の増加によるコントラストの低下という問題もある。

【 0 0 0 6 】

そこで、液晶ディスプレイの明るさを制限する偏光板を用いず、高精細化しても表示品位が低下しない液晶ディスプレイが注目される。そのような液晶ディスプレイとして、メモリ型コレステリック液晶を用いた液晶ディスプレイが提案されている (George H. Heilmeyer, Joel E. Goldmacher et al. Appl. Phys. Lett., 13 (1968), 132)。

【 0 0 0 7 】

コレステリック液晶またはカイラルネマチック液晶は、ネマチック液晶と光学活性物質を混合して製造される。コレステリック液晶を一对の平行した基板間に挟持し、液晶のディレクタが一定周期毎に回転するねじれ構造のねじれの中心軸 (ヘリカル軸と呼ぶ。) が基板に対して平均的に垂直方向になるように配列させるとき、そのねじれの向きに対応した円偏光を反射する。反射する光の中心波長は、基板面に平行な液晶のディレクタがそのねじれによって 1 回転する間のヘリカル軸上の距離 (ヘリカルピッチと呼ぶ。) とネマチック液晶の基板面に対して平行な 2 次元面での平均屈折率の積になる。

【 0 0 0 8 】

このように、コレステリック液晶がそのヘリカルピッチと液晶の屈折率により特定の波長の円偏光を反射する現象を選択反射と呼んでいる。この選択反射を示す液晶配列においても、ヘリカル軸がほぼ完全に基板面に対して垂直となる場合 (完全プレナーと呼ぶ。) と、複数に分かれた液晶ドメインのヘリカル軸の平均的な方向が基板面に対してほぼ垂直となる場合 (不完全プレナーまたは単にプレナー) があり、完全プレナーの液晶配列とプレナーの液晶配列とは異なった反射挙動を示す。完全プレナー配列では入射光に対する正規反射が大きく、特定の視角において極めて高い反射を示す。プレナー配列においては、正規反射は相対的に小さく比較的広い視角において高い反射挙動を示す。

【 0 0 0 9 】

コレステリック液晶は、上記の配列とは別の液晶配列として複数の液晶ドメインのヘリカル軸が基板に対してランダム方向または非垂直方向に配列している配

列（フォーカルコニックと呼ぶ。）をとることもできる。フォーカルコニックでは、多くの液晶では全体として弱い散乱状態を示し、選択反射のように特定の波長の光を反射することはない。

【0010】

この2つの状態（プレナーとフォーカルコニック）は電界が印加されていないときでも安定であり、プレナーまたは完全プレナーの選択反射は偏光板を用いないため明るく、さらにプレナーでは視野角も広い。コレステリック液晶を用い、その選択反射を利用する液晶光学素子は電界を印加しない状態でもその液晶配向が保持されることによりメモリ型として機能できるので、消費電力が少ない液晶光学素子を得ることができる。

【0011】

コレステリック液晶は、プレナーにおいては、液晶のディレクタが一定周期毎に回転するねじれ構造を持っている。ねじれの中心軸をヘリカル軸と呼び、ディレクタが1回転する間のヘリカル軸上の距離をピッチと呼ぶ。選択反射波長 λ は、液晶組成物の平均屈折率 n と液晶組成物のピッチ p の積にほぼ等しい（ $\lambda = n \cdot p$ ）。ピッチ p は、光学活性物質の添加量 c と光学活性物質の定数HTP（Helical Twisting Power）から、 $p = 1 / (c \cdot \text{HTP})$ によって算出される。以上のように、選択反射色は、光学活性物質の種類と添加量によって決定される。選択反射波長が可視域外となるようにピッチを設定すれば、選択反射時に目視では透明なコレステリック液晶を形成することもできる。

【0012】

特公昭53-42264号公報には、選択反射波長を可視域外に設定してプレナーで可視域透明となる誘電率異方性が正のコレステリック液晶素子にパルス状の電圧を印加して、その電圧振幅の大きさにより、プレナーをフォーカルコニックに、またフォーカルコニックをプレナーにそれぞれ変化させることが例示されている。フォーカルコニックからプレナーへの変化は、液晶分子が電界印加方向とほぼ平行になる液晶配向（ホメオトロピックと呼ぶ。）を経由して起こるので最も高い電圧が必要とされる。

【0013】

コレステリック液晶では、一連の印加電圧波形の実効値が直接電圧消去後の状態を決定するのではなく、電圧消去後の表示は、直前に印加された電圧パルスの印加時間および振幅値に依存する。従って、コレステリック液晶ディスプレイは、これまでのSTN素子を用いた液晶ディスプレイなどのように、常時電圧を印加して表示を保持する必要もなく、さらに高精細化に伴う走査電極数の増加によって駆動電圧が増加することもない。

【0014】

上述したように、コレステリック液晶の配向状態の一例としてプレナーとフォーカルコニックとがある。図10(a)に示すように、プレナーでは、多数の棒状分子による多くのドメイン（図において鼓型で示す）が生じ、ドメインごとに僅かずつらせん軸方向が異なり、平均的ならせん軸方向がほぼ基板面に垂直な方向を向いている。このとき、入射した外光の特定波長を反射することが知られている。この波長を選択反射波長と呼ぶ。選択反射波長は、完全プレナーでは基板面に対するヘリカル軸の方向がほぼ揃っていることによりヘリカルピッチと液晶の平均的屈折率の積によって求められるが、プレナーではヘリカル軸の方向に分布があるため実際にはこの波長より短波長側にずれる傾向がある。

【0015】

図10(b)に示すフォーカルコニックでは、ドメインごとのらせん軸方向がランダム分布し、基板に垂直方向での液晶ドメインの平均的な屈折率が異なることにより散乱現象が生ずることが多い。このとき、外光が入射する側とは反対側の基板に吸収層を設けることによって吸収層の色の表示が得られる。

【0016】

具体的な印加電圧と光学特性の関係を説明する。印加電圧と電圧消去後の光学特性を調べるために、選択反射を呈している誘電率異方性が正のコレステリック液晶を含むコレステリック液晶素子に電圧パルス进行印加して表示状態を確認することを繰り返す。以下、特に指定がない限りコレステリック液晶として誘電率異方性が正のコレステリック液晶を使用する。

【0017】

電圧パルス印加前の液晶素子の状態を常に選択反射を呈する状態にするように

して電圧パルスの印加時間を固定して電圧振幅を増加させていくと、電圧振幅が小さいうちは、電圧遮断後、初期のプレナーが変化せず反射率は変化しない。電圧振幅をさらに増加させていくと、電圧遮断後、選択反射状態の液晶素子は微散乱状態となり吸収層によって吸収層の色の表示（吸収層が黒の場合には黒表示）が得られる。このときの配向状態は、フォーカルコニックである。さらに電圧を増加させると、電圧遮断後の状態として、初期状態と同様の入射した外光の特定の波長の光を反射する選択反射を呈するプレナーが得られる。

【 0 0 1 8 】

すなわち、選択反射を呈するプレナーのコレステリック液晶に対して所定振幅以上の電圧を印加し、電圧を遮断するとプレナーはフォーカルコニックに変化し、フォーカルコニックのコレステリック液晶にさらに振幅の大きな電圧を印加すると、電圧遮断後の状態はプレナーとなる。高電圧が印加されてプレナーとなる場合には、初期状態がプレナー、フォーカルコニックいずれの場合も、電圧印加時に液晶分子の長軸方向が電圧印加方向に揃うホメオトロピックを経由する。ホメオトロピックにあるコレステリック液晶が電圧遮断後にプレナーに再配列する間には、幾つかの液晶配列を経由するため、液晶の粘性によっては数 1 0 0 m 秒 (m s e c) から数秒の時間が必要になることがある。

【 0 0 1 9 】

コレステリック液晶では、印加電圧を消去しても状態が変化しない安定状態であるプレナーとフォーカルコニックが存在するので、その性質を利用して、例えば明状態であるプレナーと暗状態（吸収層が黒の場合）であるフォーカルコニックの 2 状態を利用してメモリ型の液晶表示装置を実現することができる。なお、プレナーとフォーカルコニックの間には、米国特許 4 0 9 7 1 2 7 号に開示されているように、両者のドメインの割合に応じた安定的な中間状態も存在することが確認されているので、先に述べたように、電圧印加条件によって中間調表示を行うことも可能である。

【 0 0 2 0 】

次に、コレステリック液晶を用いた液晶表示装置におけるマトリクス表示について説明する。フォーカルコニックに遷移させるための電圧を VF とし、プレナ

ーに遷移させるための下限電圧を V_P とし、電圧を印加しても表示状態が変わらない上限電圧を V_S とする。線順次駆動を実施した場合、行電極に電圧振幅 V_r の電圧パルスが入力され、それに同期して列電極には電圧振幅が V_c の電圧パルス（選択パルス）が入力される。各行電極に対して1度ずつ選択パルスが入力されることによって、1つの表示シーケンスを終了する。

【0021】

表示シーケンスにおいて、オン表示が選択された場合には表示画素に $V_r + V_c$ の電圧振幅が1度だけ入力され、オン表示の非選択期間では電圧 V_c が印加される。また、オフ表示が選択された場合には表示画素に $V_r - V_c$ の電圧振幅が1度だけ入力され、オフ表示の非選択期間では電圧 V_c が印加される。オン時にはプレナーが選択され、オフ時にはフォーカルコニックが選択されたとすると、それぞれの条件は以下の通りである。

【0022】

$$V_r + V_c > V_P, \quad V_r - V_c = V_F$$

【0023】

さらに、書き込まれた状態が変化しないように、 $V_c < V_S$ でなければならない。以上のように印加電圧の制御を行えばマトリクス表示が可能になる。

【0024】

【発明が解決しようとする課題】

コレステリック液晶表示装置では走査電極数が増加しても表示データが書き込まれた状態での表示品位は悪化しないものの、走査電極数が増加するに従って、表示データを書き込む際の表示の見映えが悪くなる。すなわち、表示状態を書き込んでいくときに各走査電極に一定の印加時間で選択パルスを入力すると、走査電極数が増加するに従って、表示画面上を走査線が流れていくのが肉眼で見えるようになってしまう。従って、走査電極数の増加に伴って選択パルスの印加時間を短くして表示シーケンスを短くする必要がある。

【0025】

しかし、選択パルスの印加時間を短くしていくと、オフ表示（フォーカルコニック）からオン表示（プレナー）への書き込みは印加電圧振幅を調整することで

良好に維持できるのに対して、オン（プレナー）からオフ（フォーカルコニック）に書きこむ場合には、フォーカルコニックにおいて十分な微散乱状態が得られず一部の選択反射の液晶配列が残留することがあり、書きこまれたオフ表示が十分暗くならない（裏面に黒の吸収層がある場合）。すなわち、コントラストの低い画面になってしまう。また、前表示がオン表示（プレナー）であり次にオフ表示（フォーカルコニック）に書き込まれた部分と、前表示がオフ表示であり複数回連続してオフ表示が書きこまれた部分には明暗差が生じ表示むらとなることもあった。

【 0 0 2 6 】

その原因は、選択パルスの印加時間を短くしていくと、1度のオフ表示の書き込みでは完全な微散乱状態のフォーカルコニックに遷移させることができないことにある。さらに、書き込まれたオフ表示の光学特性すなわちフォーカルコニックの微散乱の度合いまたは選択反射を呈する液晶配列が残留している程度が、それ以前の状態に依存して変化することにある。その結果、以前に書き込んだ画像が残像として見えてしまうこともある。従って、良好な表示品位と両立させつつ、選択パルスの印加時間を短くすること、すなわち走査電極数を増加させることは困難である。

【 0 0 2 7 】

以上に説明したように、コレステリック液晶表示装置を用いれば、常時電圧を印加して表示を保持する必要もなく、さらに高精細化に伴う走査電極数の増加によって駆動電圧が増加することもないのであるが、走査電極数を増加して表示容量を大きくしようとするコントラストが低下したり、表示むらが生じてしまうという課題がある。逆にいえば、高精細化した場合に、コントラストの低下や表示むらおよび残像を防止するには書込時間を長時間化する必要があるが、そのようにしたのでは、表示画面上を走査線が流れていくのが肉眼で見えるようになってしまう。

【 0 0 2 8 】

残像による表示品位の低下を防ぐ手段として、米国特許 3 9 3 6 8 1 5 号には、メモリ性コレステリック液晶のマトリクス表示装置において、マトリクス表示

を構成する全面素電極に同時に、コレステリック液晶をホメオトロピックにするしきい電界以上の電圧を印加して前表示内容を消去する手法が開示されている。

【 0 0 2 9 】

また、S I D 9 2, D I G E S T, p 7 5 9 - p 7 6 1 および F i g. 6 では、メモリ性コレステリック液晶にパルス状の電圧を印加した際の液晶配向の変化を、電圧印加前の状態をプレナーにリセットする場合とフォーカルコニックにリセットする場合とが検討されている。

【 0 0 3 0 】

さらに、メモリ性コレステリック液晶をフォーカルコニックにリセットする方法として、米国特許 5 9 3 3 2 0 3 号には、ホメオトロピックにする大きい振幅の電圧パルスに引き続いてそれより振幅が小さい電圧パルスを連続して印加する手法が開示されている。

【 0 0 3 1 】

また、特開平 1 1 - 3 2 6 8 7 1 号公報には、ホメオトロピックにする電圧パルスの後にプレナーにする電圧を加えてプレナーにさせた後、さらにフォーカルコニックにする電圧パルスを印加してフォーカルコニックにリセットする手法が開示されている。

【 0 0 3 2 】

しかし、ネマチック液晶にカイラル剤等の光学活性物質を添加しただけの通常のコレステリック液晶を使用する場合には、米国特許 5 9 3 3 2 0 3 号に開示されている方法では、リセットに要する時間が長くなるという問題がある。また、特開平 1 1 - 3 2 6 8 7 1 号公報に開示されている方法では、転移速度が遅いホメオトロピックからプレナーへの相転移を経るためリセットに要する時間がさらに長くなるといった問題がある。

【 0 0 3 3 】

そこで、本発明は、メモリ性コレステリック液晶表示装置において、極めて短い時間で表示リセットが可能であり、高速書き込みを行っても残像を生じさせたりコントラストが低下することを防止でき、表示を高精細化した場合にも表示品位を高くすることができる駆動方法および駆動装置を提供することを目的とする

【 0 0 3 4 】

【課題を解決するための手段】

本発明によるメモリ性コレステリック液晶を用いた液晶表示装置の駆動方法は、表示データに対応した電圧条件にもとづいて各画素に電圧を印加する前に、コレステリック液晶の配向が電圧印加方向に垂直になるように電圧を印加する第1の段階と、コレステリック液晶をホモジニアスまたはプレナーに移行させるための電圧を印加する第2の段階とを含むことを特徴とする。従って、コレステリック液晶はホモジニアスまたはプレナーにリセットされる。

【 0 0 3 5 】

第2の段階で印加される電圧値は例えば0である。また、第2の段階の期間は、0.3ms以上100ms以下であることが好ましい。

【 0 0 3 6 】

本発明によるメモリ性コレステリック液晶を用いた液晶表示装置の駆動装置は、第1の段階の期間を設定する第1の期間設定手段と、第1の段階に続く第2の期間を設定する第2の期間設定手段と、第1の期間設定手段が作成した第1の期間で配向が電圧印加方向に垂直になるようにコレステリック液晶に電圧を印加し、第2の期間設定手段が作成した第2の期間でコレステリック液晶をホモジニアスまたはプレナーに移行させるための電圧を印加する電圧印加手段とを備えたことを特徴とする。

【 0 0 3 7 】

液晶表示装置が単純マトリクス型の液晶表示装置である場合、電圧印加手段は、行電極を駆動する行ドライバと、列電極を駆動する列ドライバと、第1の期間では、非表示状態の電圧を全ての行電極に印加することを行ドライバに指示するとともに、オン表示時の電圧を全ての列電極に印加することを列ドライバに指示する制御部とを含むように構成される。そのような構成によれば、リセット期間における第1の期間で、液晶印加電圧が最大値である $V_r + V_c$ となり、リセット時間を短くすることができる。

【 0 0 3 8 】

また、制御部は、第1の期間では、行ドライバに対して非表示指示信号（D O F F 信号）を与え、オン表示のデータを生成して列ドライバに対して与える構成としてもよい。そのような構成によれば、一般的な I A P T ドライバが備える制御信号を利用して短時間でコレステリック液晶表示装置をリセットすることができる。

【 0 0 3 9 】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。液晶光学素子是一对の電極付き基板の間に液晶組成物を挟持して製造される。電極上にはポリイミドなどの有機薄膜またはシリカなどの無機薄膜を形成しても形成しなくてもよいが、T N 液晶光学素子や S T N 液晶光学素子で一般に実施されている電極上に形成したポリイミド等の有機薄膜を布等で一方向に擦る（ラビングと呼ぶ。）と、配向膜の種類によってはコレステリック液晶のフォーカルコニックの安定性が失われてしまうことがある。よって、メモリ性を生かした低消費電力の液晶光学素子を得るためには、T N 液晶光学素子や S T N 液晶光学素子で使用される有機薄膜を電極上に設ける場合には、通常、ラビングを行わないか、または、電極と組成物が直接接するようにするのが好ましい。

【 0 0 4 0 】

電極間の距離はスペーサ等で保持することができ、間隔は $2 \sim 15 \mu\text{m}$ が好ましく、さらには $3 \sim 6 \mu\text{m}$ が好ましい。電極間隔が小さすぎるとコントラストが低下し、大きすぎると駆動電圧が上昇する。図1に、本発明の液晶光学素子の一例の模式的断面図を示す。

【 0 0 4 1 】

図1には、ガラス基板1 A、1 B、電極2 A、2 B、高分子薄膜3 A、3 B、液晶組成物4、光吸収体5が備えられた液晶光学素子1 0 が示されている。液晶光学素子1 0 は、電圧非印加で選択反射状態と微散乱状態を呈する素子である。

【 0 0 4 2 】

表示形態（電極の形成パターン）はセグメント表示などの非フルドット表示でもよいし、行電極と列電極の組み合わせによるドットマトリクス表示でもよい。

【 0 0 4 3 】

電極を支持する基板は、ガラス基板でも樹脂基板でもよく、また、ガラス基板と樹脂基板の組み合わせでもよい。反射表示素子として用いる場合には、どちらか一方の基板の内面または外面に光吸収体を設置するか、または、基板として光吸収機能を持ったものを用いてもよい。

【 0 0 4 4 】

電極面内に微量のスペーサを散布し、対向させた基板の四辺を注入孔を除いてエポキシ樹脂等のシール材で封止し、真空注入によって液晶組成物をセルに満たし、液晶光学素子 1 0 を得ることができる。

【 0 0 4 5 】

選択パルスの印加時間を短くすることによって生じる問題のうち残像に関する問題は、書き込まれたオフ状態の光学特性すなわちフォーカルコニック時の液晶配向状態が僅かに残留する選択反射液晶配列の程度が、それ以前の状態に依存して変化することによって生ずるので、表示データ書き込み以前の表示状態を書き込み前に消去して残像を解消することは先に示したように公知である。このとき、通常、コレステリック液晶に高い電圧を印加してホメオトロピックにすることが行われる。また、マトリクス表示を行うコレステリック液晶表示素子の場合には、全表示電極に同時に高い電圧を印加して表示部全体をホメオトロピックにすることは、既に開示されている。

【 0 0 4 6 】

すなわち、所望の表示データを書き込む前に全ての画素の以前の状態を消去しておけば、新たな表示データが表示品質の良い状態を呈するように書き込まれる。

【 0 0 4 7 】

そこで、まず、印加電圧と電圧消去後の光学特性を調べるために、液晶パネルに電圧パルスを印加し、次いで消去して表示状態を確認する実験を繰り返した。電圧処理を行う前の状態としてプレナーとフォーカルコニックとのそれぞれを用いた。図 2 は、実験結果の概略を示す説明図である。図 2 には、1 3 . 2 m s の電圧パルスを印加し電圧消去してから 1 0 秒後の反射率を測定した場合の電圧振

幅と反射率との関係の一例が示されている。図 2 において、菱形（◇）は初期状態がプレナーであった場合を示し、四角形（□）は初期状態がフォーカルコニックであった場合を示す。

【 0 0 4 8 】

実験結果から、反射率が高い安定状態であるプレナーにするには、その前の状態によらず、35 V 以上の振幅をもつ電圧を印加することによって実現できることがわかる。換言すれば、電圧印加時に十分に垂直配向するようなパルス電圧処理を行えば、電圧を消去することによってプレナーに変化させられることを意味している。また、反射率が低い安定状態であるフォーカルコニックは、23 V の振幅をもつ電圧を印加する処理によって得ることができる。なお、印加時間を 13 . 2 m s よりも短くすると、プレナーにするにはより高い電圧が必要になる。

【 0 0 4 9 】

この実施の形態では、コレステリック液晶 1 に比較的高い電圧をかけて一旦ホメオトロピック状態（垂直配向状態）にする第 1 の段階を設け、その状態で電圧を消去してホモジニアス（平行）配向を経てプレナーに変化させ、コレステリック液晶 1 をプレナーに揃えた初期状態を形成する。以下、この処理をリセット電圧処理と呼ぶことがある。そして、その状態で表示させたいデータの書き込みを行う。

【 0 0 5 0 】

なお、リセット電圧処理直後に表示データを書込む場合と、リセット電圧処理後の数 m s e c 後に表示データを書込む場合では、印加電圧に対する光学特性に差が生ずる。よって、全画面を一括してリセットする場合には、リセット電圧処理が完了した時点と線順次駆動において第 1 行目が選択される時点の間に、電圧を印加しない状態すなわち印加電圧 0 の期間である第 2 の段階を設ける必要がある。電圧を印加しない状態すなわち電位差 0 の状態の期間は、垂直配向状態からホモジニアス配向になるまでの時間である。

【 0 0 5 1 】

また、上記の印加電圧に対する光学特性の差を完全に解消するために、線順次走査に同期して、選択期間毎に個々にリセット電圧処理を行ってもよい。

【 0 0 5 2 】

第 1 ～ 第 2 の段階終了後にマトリクス駆動（線順次駆動）がなされることによって均一で残像のないコントラストの高い表示画像を得ることができる。

【 0 0 5 3 】

以下、具体的な実施例を説明する。図 3 は、液晶パネルを駆動するための一般的な駆動装置の概略構成を示すブロック図である。図 3 に示す駆動回路において、コントローラ 1 1 から制御信号として F R 信号（フレーム信号）、L P 信号（ラッチパルス：行切替信号）、M 信号（交流化信号：出力反転信号）および \neg D O F F 信号（非表示指示信号）が行ドライバ 1 2 に入力される。列ドライバ 1 3 には、コントローラ 1 1 から制御信号として L P 信号、C P 信号（クロックパルス）、M 信号および \neg D O F F 信号と表示データとが入力される。

【 0 0 5 4 】

行ドライバ 1 2 は、F R 信号がハイレベルになると先頭行を選択する。L P 信号は選択行を 1 行ずつにシフトすることを示す信号に相当する。M 信号は、交流化のための信号である。C P 信号は、コントローラ 1 1 から表示データを列ドライバ 1 3 に転送するためのクロックとして用いられる。 \neg D O F F 信号がローレベルになると、行ドライバ 1 2 および列ドライバ 1 3 は、液晶パネル 1 0 0 に印加する電圧レベルをそれぞれ所定のレベル（消去時のレベル V_0 ）にする。 \neg D O F F 信号がハイレベルになっているときは通常書き込みの状態である。

【 0 0 5 5 】

〔例 1〕液晶パネルを以下のように作製した。すなわち、ストライプ状に形成された透明電極を持つガラス基板の液晶層と接する面にスピナーコーティングによってポリイミド薄膜を形成し、その後、上下基板面に直径 $4 \mu\text{m}$ の樹脂性のスペーサーを散布し、注入孔を除く四辺に幅約 0.4 mm で印刷したエポキシ樹脂を介してストライプ状電極が交差するように、ガラス基板を、注入孔を除く四辺に幅約 0.4 mm のエポキシ樹脂を重ね合わせた（空きセルと呼ぶ。）。

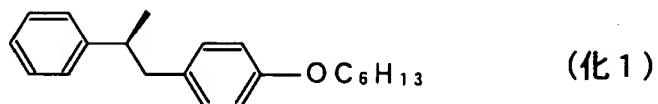
【 0 0 5 6 】

$T_c = 87^\circ \text{C}$ 、 $\Delta n = 0.231$ 、 $\Delta \varepsilon = 16.5$ 、粘度 $\eta = 32 \text{ mPa} \cdot \text{s}$ 、比抵抗 $2 \times 10^{11} \Omega \cdot \text{cm}$ のネマチック液晶 84.7 部に、（化 1）に示

すカイラル剤 5. 1 部、(化 2) に示すカイラル剤 5. 1 部、(化 3) に示すカイラル剤 5. 1 部を溶解混合し、ヘリカルピッチ約 0. 3 4 μ m のカイラルネマチック液晶(液晶 A と呼ぶ。)を調整した。

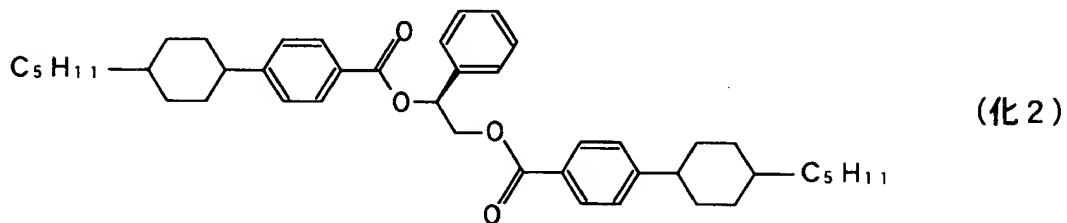
【 0 0 5 7 】

【化 1】



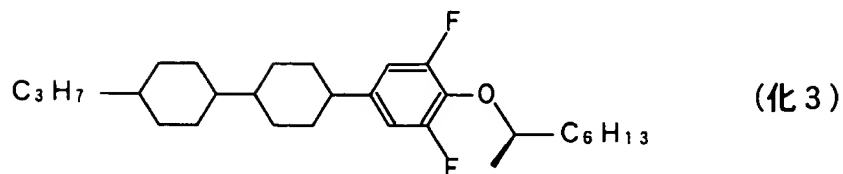
【 0 0 5 8 】

【化 2】



【 0 0 5 9 】

【化 3】



【 0 0 6 0 】

先に作製した空きセルに液晶 A を真空注入法で注入し、注入孔を紫外線硬化の封止材で封止して液晶パネルを作製した。液晶パネルの電極は、行電極 2 4 0 ライン、列電極 3 2 0 ラインであり、解像度は約 1 0 0 d p i である。この液晶パネルの片方の基板を艶消し黒のスプレーで均一に塗装した。次に、この液晶パネルの行、列各 1 本ずつの電極を選び、その交点に 4 0 V の電圧を 2 0 m s e c 間印加したところ、印加後に黒塗装していない基板側から見ると交点部分は緑色の反射色を呈した。次に、2 0 V の電圧を 2 0 m s e c 印加したところ、印加後に黒塗装していない基板側から見ると交点部分がほぼ黒色を呈した。

【 0 0 6 1 】

液晶パネル 1 0 の全画面を初期化するために、表示シーケンスの開始時に、パネル全体に 4 0 V の電圧を 1 3 . 3 m s 間印加した。それに続いて、液晶パネル 1 0 に印加される電圧が 0 になる無印加時間を 1 m s 設けた。そして、線順次駆動を実施した。

【 0 0 6 2 】

具体的な駆動手順について図 4 のタイミング図を用いて説明する。最初に全行電極に V_r を印加し、同時に全列電極に $-V_c$ を印加する。ここで、 $V_r + V_c$ が 4 0 V になるように調整する。よって、液晶パネル 1 0 0 の全画素に 4 0 V の電圧が印加される。図 4 において、4 0 V の電圧が印加される期間がリセット部として示されている。リセット部は第 1 の期間に相当する。その後、印加電圧が 0 になる無印加状態を 1 m s 続ける。図 4 において、この期間が無印加部として示されている。無印加部は第 2 の期間に相当する。

【 0 0 6 3 】

続いて、表示データの書き込みすなわち線順次駆動が始まる。線順次駆動では、選択行が順番に入れ替わり、それに同期して列電極に表示データに応じた列電圧が出力される。駆動電圧波形は適当な周期で極性反転され交流化される。線順次駆動期間において、選択時にはオン表示（プレナー）では $V_r + V_c$ の電圧が印加され、オフ表示（フォーカルコニック）では $V_r - V_c$ の電圧振幅が印加さ

れる。この例では、 V_r を 3 5 V、 V_c を 5 V とした。また 1 回あたり行電極が選択される期間を 3 . 3 m s とした。図 4 において、線順次駆動期間はアドレッシング部として示されている。

【 0 0 6 4 】

以上の条件でテストパターンを表示したところ、残像もなく、高コントラストの表示が得られた。

【 0 0 6 5 】

液晶表示装置の全画面を一括してリセットする場合には、リセットのための電圧（リセット電圧）の印加が完了した時点と第 1 行目が選択される時点の間に電圧を印加しない状態すなわち印加電圧 0 の期間である第 2 の段階を設ける必要がある。第 2 の段階を省くと、表示データによらず線順次駆動における第 1 行目では、リセット電圧が印加された直後に選択電圧が印加されることになる。第 2 行目以降ではリセット電圧が印加された後、非選択電圧が印加され、その後に選択電圧が印加される。第 2 の段階を省くと、以上の駆動シーケンスの違いにもとづいて、第 1 行目は、表示データによらずホメオトロピックからプレナーに変化する。一方、第 2 行目以降では、ホメオトロピックからホモジニアスな配向あるいはプレナーを経て表示データに応じた表示が得られる。

【 0 0 6 6 】

第 1 行目の表示状態と第 2 行目以降の表示状態とを同等にするためには、リセット電圧の印加が完了した時点と第 1 行目が選択される時点との間に電圧を印加しない状態すなわち印加電圧 0 の期間である第 2 の段階を設ければよい。または、第 1 行目の前に実在しない仮想行を想定し、仮想行に対して仮想の表示データに対応した非選択電圧を印加した後、実表示データの第 1 行目の選択電圧を入力するようにしても、第 2 の段階を設けた場合と同等になる。

【 0 0 6 7 】

〔比較例 1〕例 1 の駆動条件のうち、液晶パネル 1 0 の全体に 4 0 V の電圧を 1 3 . 2 m s 間印加する処理（リセット電圧処理）を省いた。そして、何種類かのテストパターンを線順次駆動で表示させたところ、以前に書き込んだ画像が重ね書きされた残像が生じ、正常な表示を得ることができなかった。

【0068】

〔比較例2〕例1の駆動条件のうち、印加される電圧が0になる無印加時間を省いた。線順次駆動によって、テストパターンとして全面オン表示したところ、リセット電圧処理期間に続いて最初に選択される行とその後に選択された部分とで反射率に差が生じ、駆動電圧を変えても均一な表示画面が得られなかった。

【0069】

〔例2〕例1の駆動条件において、無印加部の時間を0.3～100msの間で振ったところ、例1の場合と同様に良好な表示が得られた。

【0070】

〔比較例3〕例1の駆動条件において、無印加部の時間を0～0.3msの間で振ったところ、線順次駆動の駆動条件をどのように変えても、例2と同様のコントラストを得ることができなかった。また、無印加部の時間が100msを越えた場合には、書き込み時間が長くなりすぎて、視認者は不自然な感じを受けた。このことから、無印加部の時間は、少なくとも0.3ms以上で100ms以下に設定されていることが好ましいことがわかる。

【0071】

〔例4〕例1の駆動条件において、線順次駆動による表示データの書き込み時に、選択期間に対して列電極の印加時間を均等に10分割し、分割された各期間に階調データに応じたオンとオフに相当する電圧を列電極に印加にする。そして、そのような電圧印加方法によってテストパターンを表示したところ、表示データに応じた均一な階調表示が得られた。

【0072】

〔比較例4〕例1の駆動条件において、列電極の印加電圧をオンのときに V_c 、オフのときに $-V_c$ とし、階調データに応じて $n \times V_c$ ($-1 < n < 1$)の電圧値を列電極に印加した。電圧値を変えることによって10階調表示を行った。様々なテストパターンを表示させたところ、列電極に平行な表示むらが発生し不均一な階調表示になった。

【0073】

例4および比較例4の結果から、中間調表示を行う場合、パルス幅変調を使用

すれば良好な階調表示を得ることができるが、振幅変調を使用した場合には良好な階調表示を得ることが困難であることがわかる。

【 0 0 7 4 】

次に、コレステリック液晶を用いた液晶パネルを駆動する駆動回路の具体的な実施の形態を説明する。単純マトリックス型 S T N 液晶表示素子の基本的な駆動方式である線順次選択法（例えば、A P T : Alto Pleshko Technique やそれを改良した I A P T : Improved APT）を実現する駆動回路（ドライバ）が広く用いられている。

【 0 0 7 5 】

単純マトリックス型 S T N 液晶表示素子を駆動するための I A P T 駆動ドライバは、1 つの行電極ずつにしか選択電圧を印加できない。従って、それを用いてコレステリック液晶表示パネルの全面の初期状態をブレナーに揃えるには、全ての行電極に電圧を印加するために少なくとも 1 フレーム期間がかかる。ただし、ホメオトロピックへの遷移を 1 フレーム期間で初期化を行うには、アドレッシング時の 1 選択時間で十分に垂直配向にしなければならないので、オン電圧よりも高い電圧を印加する必要が生ずる。それを実現するのはドライバの耐圧の問題から困難である。逆に、オン電圧と等しい印加電圧で十分な垂直配向を得ようとする、1 選択時間を長くしなければならず、初期化に要する時間が書き込み時間よりも長くなる。

【 0 0 7 6 】

すなわち、単純マトリックス型 S T N 液晶表示素子を駆動するための I A P T 駆動ドライバをコレステリック液晶表示パネルにそのまま適用しようとする、上述した電圧印加処理（第 1 の段階および第 2 の段階）を実現できず、初期化に要する時間が 1 画面を選択する時間の数倍程度になってしまう。すなわち、初期化を含めた 1 画面の書き換えに必要な時間が長くなってしまふ。

【 0 0 7 7 】

そこで、以下、単純マトリックス型 S T N 液晶表示素子を駆動するための I A P T 駆動ドライバを用いて上述した電圧印加処理による初期化を実現できる駆動装置を提案する。

【 0 0 7 8 】

図 5 および図 6 は、I A P T 駆動ドライバの機能を説明するための説明図である。図 5 に示すように、列ドライバと行ドライバはそれぞれ 4 レベルの液晶駆動電圧を必要とするが、システム全体では 6 レベルの電圧が必要になる。ここで、 V_r は選択時に行電極に印加される電圧であり、 V_c は行電極に印加されるオン電圧とオフ電圧の差の $1/2$ である。

【 0 0 7 9 】

図 6 に示すように、出力電圧はレベル信号である極性反転信号 (M 信号) と非表示指示信号 (\neg DOFF 信号) に応じて、行ドライバおよび列ドライバでそれぞれ決定される。ただし、 \neg DOFF 信号がローレベルである場合には行ドライバおよび列ドライバの全出力は、他の入力信号に関わらず V_0 レベルを出力する。

【 0 0 8 0 】

以前の表示状態をリセットするために、リセットのための電圧をコレステリック液晶素子に印加する必要があるが、そのような電圧を印加するには、全ての行電極を等電位にし、かつ、全ての列電極を等電位にする必要がある。I A P T 駆動ドライバを用いた場合、全ての行電極を等電位にすることができるのは、非選択状態である V_4 、 V_1 レベル、または非表示状態である V_0 レベルである。非選択状態を用いた場合には、全ての列電極を V_0 または V_5 にしたとしても、液晶印加電圧を V_r までにしかできない。この値は、アドレッシング時のオン電圧である $V_r + V_c$ よりも低い。

【 0 0 8 1 】

つまり、非選択状態の行電極電位を用いてリセットを行おうとすると、低い電圧でリセットが行われることになるのでリセット時間が長くなる。そこで、この実施の形態では、リセット時に、I A P T 駆動ドライバにおいて、全ての行電極を非表示状態として、全ての列電極を V_5 にする。そのように設定すれば、液晶印加電圧は最大値である $V_r + V_c$ となり、リセット時間を短くすることができる。

【 0 0 8 2 】

図 7 は、液晶駆動回路の実施の一形態を示すブロック図である。この実施の形態では、図 3 に示す一般的な駆動回路に対して、信号変換回路（制御部）14 が設けられている。信号変換回路 14 は、コントローラ（信号制御回路）11 と行ドライバ 12 および列ドライバ 13 との間に設置され、信号制御回路 11 からの各信号にもとづいて、上述した第 1 段階（リセット部）および第 2 の段階（無印加部）を作成するための信号を作成し、行ドライバ 12 および列ドライバ 13 に供給する。なお、ここでは、信号変換回路 14 は信号制御回路 11 と独立したものであるとして説明を進めるが、それらは一体化されていてもよい。一体化されている場合には、信号のタイミングを最適化できるので、初期化に要する時間を短くすることが可能である。

【0083】

また、M 信号は信号変換回路 14 が作成した極性反転信号であり、DATA は信号変換回路 14 が作成した表示データである。DATA は、アドレッシング部では信号制御回路 11 が出力する表示データと同じになる。／DOFF1 信号は信号変換回路 14 が作成し列ドライバ 13 に供給される／DOFF 信号であり、／DOFF2 信号は信号変換回路 14 が作成し行ドライバ 12 に供給される／DOFF 信号である。

【0084】

コレステリック液晶表示素子は一度データが書き込まれると、その表示状態を保持するのでフレーム周期毎に書き込みを行う必要はないが、データの書き換えを必要とするタイミングを外部から指示する必要がある。そのための信号が図 7 に示すスタート信号（START 信号）である。START 信号はタイマによるある一定期間毎に有効になる信号でもよいし、表示データの発生源である MPU や外部スイッチからの表示書き換え指示信号であってもよい。図 7 には、MPU から出力される例が示されている。

【0085】

図 8 は、信号変換回路 14 の一構成例を示すブロック図である。信号変換回路 14 において、0.5 ライン検出回路 21 は、LP 信号をトリガとして選択期間の 1/2 のタイミングを決定し、そのタイミングでレベルが反転するような信号

を論理和回路 2 2 に出力する。ダウンカウンタ 2 4 は、F R 信号が入力されたら、 $(N - 1)$ をプリセットし、L P 信号の入力に応じてカウント値を 1 減ずるカウンタである。ここで、N は表示行数である。第 1 ～ 第 3 の比較器（以下、単に比較器という。）2 5, 2 6, 2 7 は、それぞれ、ダウンカウンタ 2 4 のカウント値を所定値と比較する。

【0 0 8 6】

論理和回路 2 2 は、D O F F 制御回路 3 1 からのマスク信号がローレベル状態であれば、0. 5 ライン検出回路 2 1 の出力信号を M 信号として行ドライバ 1 2 および列ドライバ 1 3 に出力し、マスク信号がハイレベル状態であれば、ハイレベルの M 信号を行ドライバ 1 2 および列ドライバ 1 3 に出力する。また、論理和回路 2 3 は、マスク信号がローレベル状態であれば、信号制御回路 1 1 からの表示データを D A T A 信号として列ドライバ 1 3 に出力し、マスク信号がハイレベル状態であれば、ハイレベルの D A T A 信号を列ドライバ 1 3 に出力する。

【0 0 8 7】

スタートフラグ回路 2 8 は、S T A R T 信号を F R 信号で同期化し、スタートフラグをセットする。スタートフラグがセットされたことは D O F F 制御回路 3 1 に通知される。また、スタートフラグは、D O F F 制御回路 3 1 の指示に応じてリセットされる。D O F F 制御回路 3 1 は、スタートフラグがセットされている状態において機能し、比較器 2 5, 2 6, 2 7 の出力の状況に応じて、列ドライバ 1 3 に / D O F F 1 信号を与えると同時に、行ドライバ 1 2 に / D O F F 2 信号を与える。また、論理和回路 2 2, 2 3 に対してマスク信号を与える。

【0 0 8 8】

次に、動作について図 9 のタイミング図を参照して説明する。比較器 2 5, 2 6, 2 7 は、リセット部（第 1 の段階）の長さを A、無印加部（第 2 の段階）の長さを B に設定するために設けられている。各比較器 2 5 ～ 2 7 は、L P 信号をダウンカウントするダウンカウンタ 2 4 のカウント値を導入して、カウント値と所定値とを比較し、それらが一致したら一致信号を出力する。

【0 0 8 9】

なお、この実施の形態では、リセット部の長さ A を設定するための第 1 の期間

設定手段は、ダウンカウンタ 2 4 および比較器 2 5, 2 6 で実現される。無印加部の長さ B を設定するための第 2 の期間設定手段は、ダウンカウンタ 2 4 および比較器 2 6, 2 7 で実現される。第 1 ~ 第 2 の段階において所定電圧を印加する電圧印加手段は、論理和回路 2 2, 2 3 および D O F F 制御回路 3 1 で実現される。

【 0 0 9 0 】

比較器 2 5 の比較のための所定値は $(A + B)$ であり、比較器 2 6 の比較のための所定値は B である。また、比較器 2 7 の比較のための所定値は 0 である。なお、 $A + B < N$ (N は表示行数) である。

【 0 0 9 1 】

スタートフラグがセットされていない状態では、D O F F 制御回路 3 1 は、全ての列電極および行電極が電位 V_0 である無印加状態になるように、列ドライバ 1 3 および行ドライバ 1 2 に対する非表示指示信号 (\neg D O F F 1 信号および \neg D O F F 2 信号) をローレベルに固定する。よって、コレステリック液晶パネル 1 0 は、信号制御回路 1 1 からの信号状態に関わらず電圧無印加状態となる。また、論理和回路 2 2, 2 3 へのマスク信号をハイレベルに固定する。よって、M 信号および D A T A 信号はハイレベルに固定される。S T A R T 信号が入力された後、F R 信号が入力されると、スタートフラグ回路 2 8 において、スタートフラグがセットされる。F R 信号はフレーム周期毎に入力される。

【 0 0 9 2 】

F R 信号が入力されるとダウンカウンタ 2 4 に $(N - 1)$ がプリセットされる。以後、ダウンカウンタ 2 4 は、行切替信号 (L P 信号) をダウンカウントする。比較器 2 5 は、ダウンカウンタ 2 4 のカウント値が $(A + B)$ に一致すると D O F F 制御回路 3 1 に一致信号を出力する。D O F F 制御回路 3 1 は、 \neg D O F F 1 信号および \neg D O F F 2 信号がともにローレベルである状態のときに比較器 2 5 からの一致信号を受け、さらに、L P 信号が入力されると、列ドライバ 1 3 への \neg D O F F 1 信号をハイレベルに固定する。この結果、図 6 に示す関係にもとづいて、全ての列電極の電圧レベルが $V_5 (V_r + V_c)$ となる。また、全ての行電極の電圧レベルは V_0 であるから、全ての画素に対する液晶印加電圧は V

$r + V_c$ となる。例えば、 $V_r = 3.5 \text{ V}$ 、 $V_c = 5 \text{ V}$ であれば、液晶印加電圧は 4.0 V である。

【0093】

比較器 26 は、ダウンカウンタ 24 のカウント値が B に一致すると DOFF 制御回路 31 に一致信号を出力する。DOFF 制御回路 31 は、 $\neg \text{DOFF}1$ 信号がハイレベルで、かつ、 $\neg \text{DOFF}2$ 信号がローレベルである状態のときに比較器 26 からの一致信号を受け、さらに、LP 信号が入力されると、列ドライバ 13 への $\neg \text{DOFF}1$ 信号をローレベルに固定する。この結果、図 6 に示す関係にもとづいて、コレステリック液晶表示パネル 10 は電圧無印加状態になる。また、このとき、DOFF 制御回路 31 は、論理和回路 22、23 へのマスク信号をローレベルに固定する。

【0094】

論理和回路 22 は、0.5 ライン検出回路 21 の出力を通過させて極性反転信号 (M 信号) とする状態に移る。また、論理和回路 23 は、DATA 信号として表示データを通過させる。

【0095】

液晶印加電圧が $V_r + V_c$ に変化した時点から電圧無印加状態になるまでの期間は、ダウンカウンタ 24 のカウント値が「A」進む間の期間であり、図 9 に示すように、この期間がリセット部となる。

【0096】

比較器 27 は、ダウンカウンタ 24 のカウント値が 0 に一致すると DOFF 制御回路 31 に一致信号を出力する。DOFF 制御回路 31 は、 $\neg \text{DOFF}1$ 信号および $\neg \text{DOFF}2$ 信号がともにローレベルである状態のときに比較器 27 からの一致信号を受け、さらに、LP 信号が入力されると、列ドライバ 13 および行ドライバ 12 への $\neg \text{DOFF}1$ 信号および $\neg \text{DOFF}2$ 信号をハイレベルに固定する。従って、線順次駆動によって DATA 信号と M 信号に応じた表示がなされるアドレッシング部が開始される。このとき、オン電圧は $V_r + V_c$ 、オフ電圧は $V_r - V_c$ となる。

【0097】

液晶印加電圧が電圧無印加状態に変化した時点からアドレッシング部が開始される時点までの期間は、ダウンカウンタ 2 4 のカウント値が「B」進む間の期間であり、図 9 に示すように、この期間が無印加部となる。

【 0 0 9 8 】

さらに、列ドライバ 1 3 と行ドライバ 1 2 への非表示指示信号である / D O F F 1 信号と / D O F F 2 信号とがともにハイレベルである状態で、比較器 2 7 から一致信号が出力されると、D O F F 制御回路 3 1 は、スタートフラグをリセットするとともに、マスク信号をハイレベルに固定し、/ D O F F 1 信号と / D O F F 2 信号とをともにローレベルに固定して全画素に対する液晶印加電圧を 0 V にする。よって、コレステリック液晶表示素子は書き込み状態を記憶したままの状態になる。そして、次に S T A R T 信号が入力されるまでその状態を保持する。

【 0 0 9 9 】

以上に説明したように、この実施の形態では、従前の液晶駆動装置が取り扱うことができる M 信号と / D O F F 信号とを利用することによって、第 1 の段階～第 2 の段階、すなわち、リセット部および無印加部を作成する。従って、単純マトリックス型 S T N 液晶表示素子を駆動するための I A P T 駆動ドライバを用いて、本発明による電圧印加処理による初期化を実現できる駆動装置を実現することができる。

【 0 1 0 0 】

上記の実施の形態では、単純マトリックス型 S T N 液晶表示素子を駆動するための既存の駆動ドライバを活用して、コレステリック液晶表示装置の駆動装置を実現したが、もちろん、コレステリック液晶表示装置の駆動装置は、既存の駆動ドライバを用いることなく実現可能である。

【 0 1 0 1 】

なお、上記の実施の形態では、駆動装置を簡便に構成するために L P 信号を用いて第 1 ～第 2 の段階の長さを設定したが、上記の実施の形態は駆動装置の一実現例であって、他の構成の駆動装置を実現することもできる。例えば、L P 信号以外のクロック信号にもとづいて第 1 ～第 2 の段階の長さを設定してもよい。そ

の場合、より高周波数のクロック信号を用いれば、上記の実施の形態の場合に比べて、初期化に要する時間をより短縮することができる。

【0102】

また、上記の実施の形態では、第1の段階（リセット部）において、コレステリック液晶に対して正のパルス状の電圧が印加されたが、振幅の絶対値が等しい正のパルスと負のパルスとを印加するようにしてもよい。さらに、上記の実施の形態では、リセット部の期間で印加される電圧を $V_r + V_c$ としたが、その期間において、行ドライバ12および列ドライバ13に供給される電源電圧を任意の値に切り替えるように構成すれば、リセット部の期間で印加される電圧を任意の値に設定することができる。

【0103】

【発明の効果】

本発明によれば、メモリ性コレステリック液晶を用いた液晶表示装置の駆動方法および駆動装置を、コレステリック液晶の配向が電圧印加方向に垂直になるように電圧を印加する第1の段階と、コレステリック液晶をホモジニアスまたはブレナーに移行させるための電圧を印加する第2の段階とが実行される構成にしたので、表示データの書き込みを行う前にコレステリック液晶を確実にブレナーに揃えることができ、高速書き込みを行っても残像を生じさせたりコントラストが低下することを防止でき、表示を高精細化した場合にも表示品位を高くすることができる効果がある。

【図面の簡単な説明】

【図1】 コレステリック液晶を用いた液晶パネルの概略構成を示す断面図。

【図2】 液晶パネルに電圧パルスを印加し消去して表示状態を確認する実験の実験結果の概略を示す説明図。

【図3】 液晶パネルを駆動するための一般的な駆動装置の概略構成を示すブロック図。

【図4】 駆動手順を示すタイミング図。

【図5】 IAPT駆動ドライバの機能を説明するための説明図。

【図6】 制御信号と印加電圧との関係を示す説明図。

【図 7】 液晶駆動装置の第 1 の実施の形態を示すブロック図。

【図 8】 第 1 の実施の形態における信号変換回路の構成例を示すブロック図

【図 9】 信号変換回路の動作を示すタイミング図。

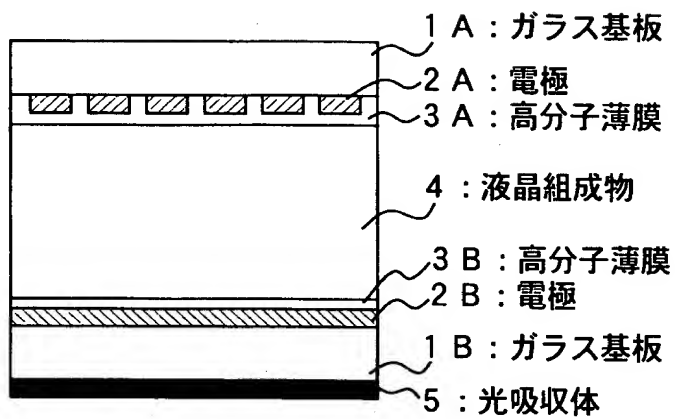
【図 1 0】 コレステリック液晶の配向状態の一例を示す説明図。

【符号の説明】

- 1 A, 1 B ガラス基板
- 2 A, 2 B 電極
- 3 A, 3 B 高分子薄膜
- 4 液晶組成物
- 5 光吸収体
- 1 0 コレステリック液晶パネル（液晶光学素子）
- 1 1 信号制御回路（コントローラ）
- 1 2 行ドライバ
- 1 3 列ドライバ
- 1 4 信号変換回路
- 2 1 0. 5 ライン検出回路
- 2 2 論理和回路
- 2 3 論理和回路
- 2 4 ダウンカウンタ
- 2 5 ～ 2 7 比較器
- 2 8 スタートフラグ回路
- 3 1 D O F F 制御回路

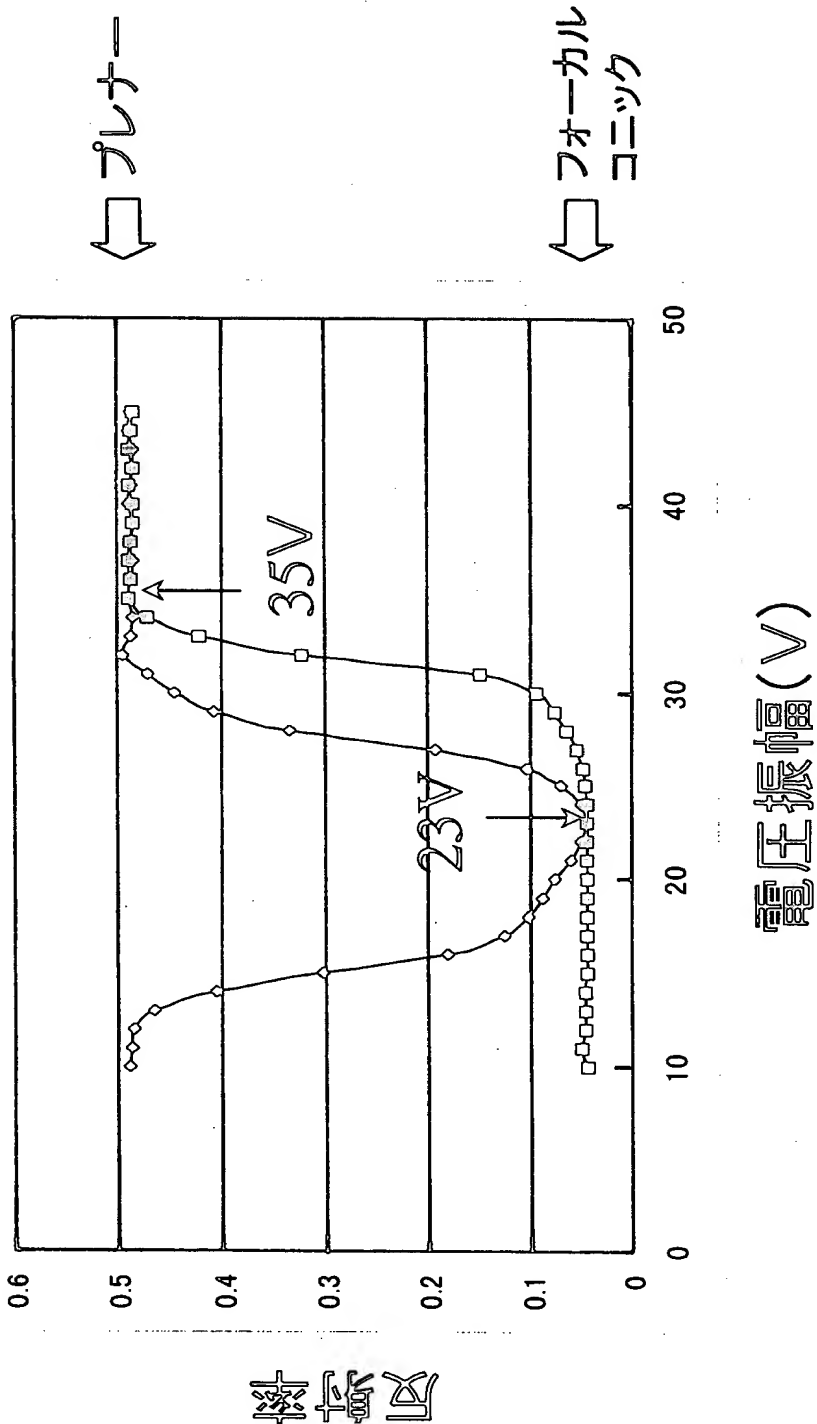
【書類名】 図面

【図 1】

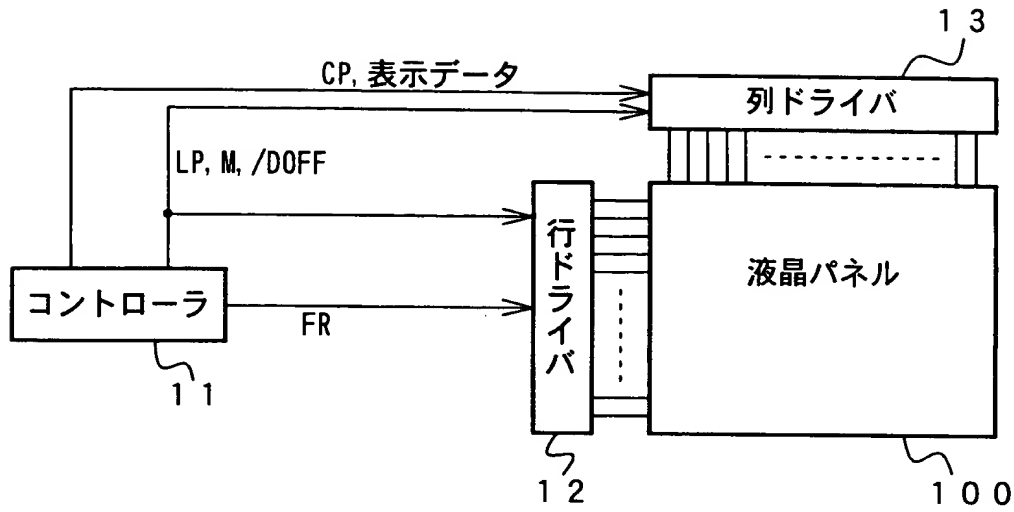


【図2】

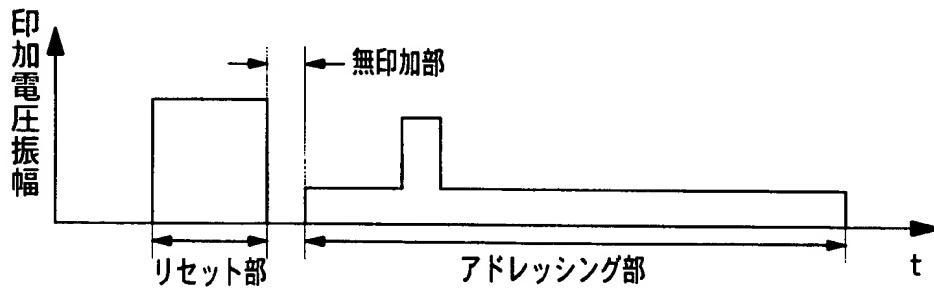
パルス幅=13.2ms



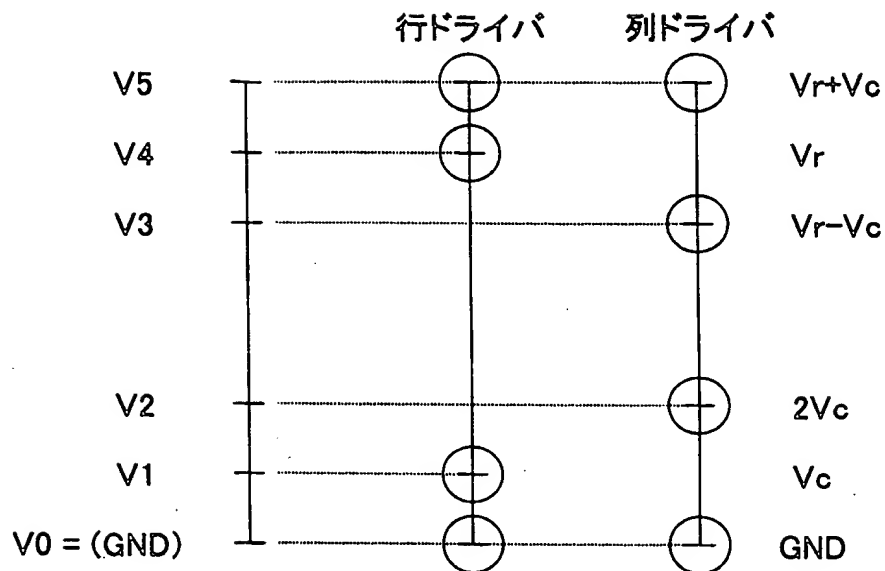
【図 3】



【図 4】



【図 5】



【図 6】

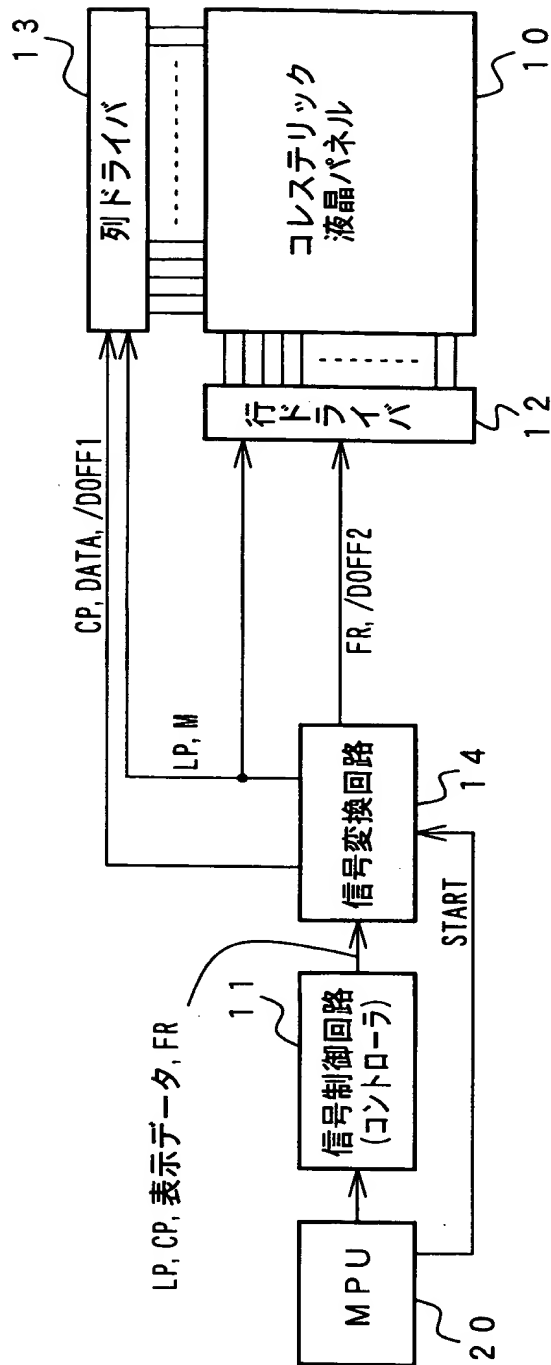
行ドライバ

/DOFF	M	選択/非選択	出力電圧
H	L	選択	V5
H	H	選択	V0
H	L	非選択	V1
H	H	非選択	V4
L	X	X	V0

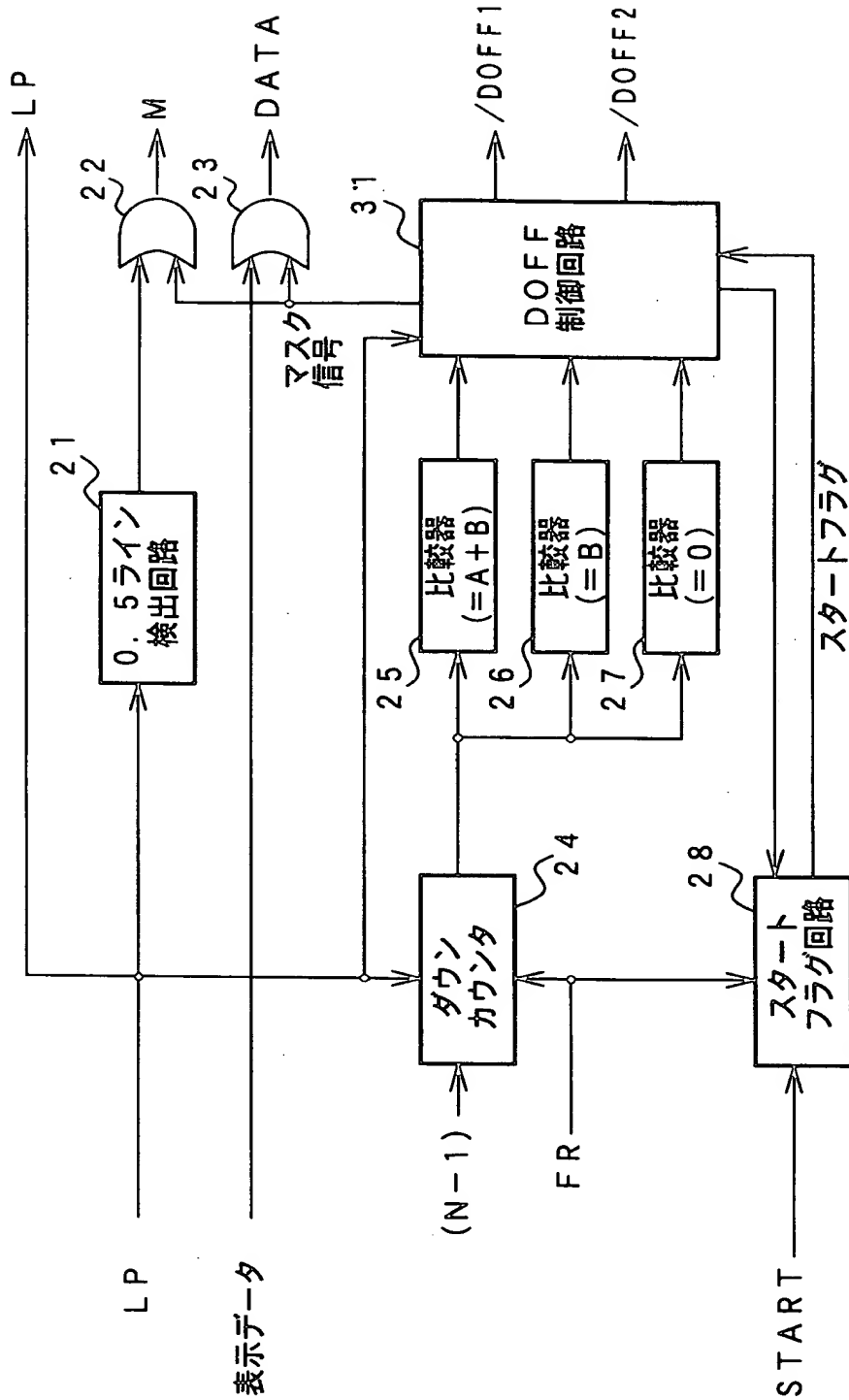
列ドライバ

/DOFF	M	DATA	出力電圧
H	L	H	V0
H	H	H	V5
H	L	L	V2
H	H	L	V3
L	X	X	V0

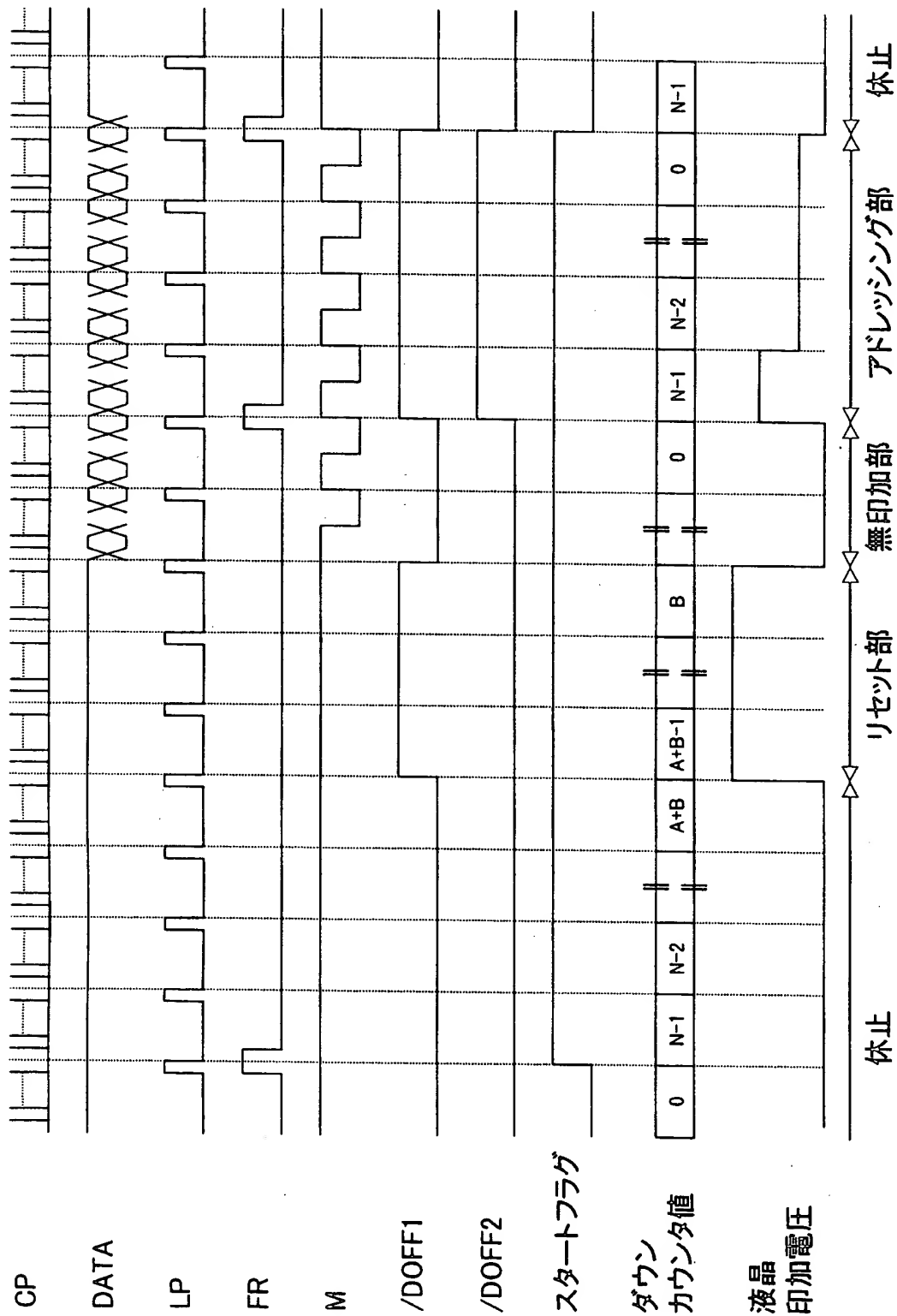
【図 7】



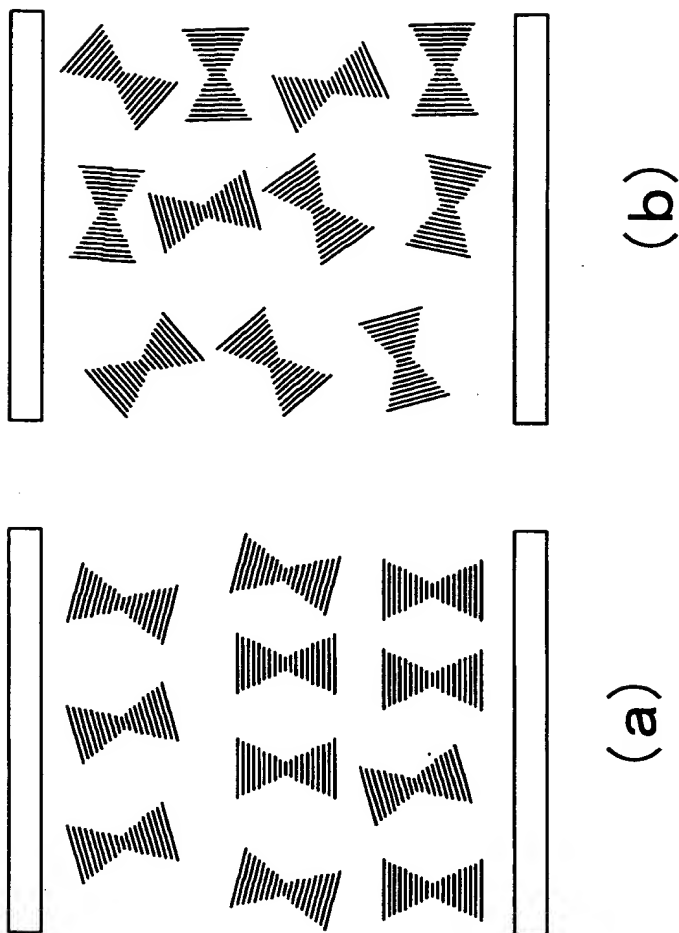
【図 8】



【図9】



【図 1 0】



【書類名】 要約書

【要約】

【課題】 コレステリック液晶表示装置において高速書き込みを行っても残像を生じさせたりコントラストが低下するのを防止する。

【解決手段】 線順次駆動が行われるアドレッシング部の前に、コレステリック液晶に高電圧が印加されるリセット部、および電圧を印加しない無印加部を設ける。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 0 3 7 4 7]

1. 変更年月日	1 9 9 8 年 6 月 1 日
[変更理由]	住所変更
住 所	東京都荒川区東日暮里五丁目 7 番 1 8 号
氏 名	オプトレックス株式会社

出 願 人 履 歴 情 報

識別番号 [000000044]

1. 変更年月日 1999年12月14日

[変更理由] 住所変更

住 所 東京都千代田区有楽町一丁目12番1号
氏 名 旭硝子株式会社